



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0080153  
Application Number

출원 년 월 일 : 2002년 12월 16일  
Date of Application DEC 16, 2002

출원인 : 학교법인 한국정보통신학원  
Applicant(s) INFORMATION AND COMMUNICATIONS UNIVERSITY EDUCATION



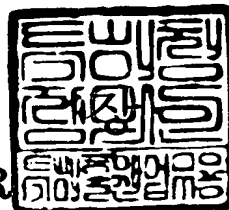
2003      년      02      월      26      일

특

허

청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002. 12. 16
【발명의 명칭】	대역폭 향상을 위한 소오스 폴로워 구조의 전치 증폭기
【발명의 영문명칭】	SOURCE FOLLOWER TYPE PREAMPLIFIER FOR IMPROVING BANDWIDTH
【출원인】	
【명칭】	학교법인 한국정보통신학원
【출원인코드】	2-1999-038195-0
【대리인】	
【성명】	장성구
【대리인코드】	9-1998-000514-8
【포괄위임등록번호】	2000-005740-6
【대리인】	
【성명】	김원준
【대리인코드】	9-1998-000104-8
【포괄위임등록번호】	2000-005743-8
【발명자】	
【성명의 국문표기】	정동윤
【성명의 영문표기】	JUNG, DONG YUN
【주민등록번호】	710326-1674510
【우편번호】	456-704
【주소】	경기도 안성시 금산동 주은청설아파트 101동 1405호
【국적】	KR
【발명자】	
【성명의 국문표기】	박상현
【성명의 영문표기】	PARK, SANG-HYUN
【주민등록번호】	751201-1251218
【우편번호】	305-732
【주소】	대전광역시 유성구 화암동 한국정보통신대학원대학교
【국적】	KR

**【발명자】****【성명의 국문표기】**

박철순

**【성명의 영문표기】**

PARK, CHUL SOON

**【주민등록번호】**

580223-1030911

**【우편번호】**

305-707

**【주소】**

대전광역시 유성구 신성동 1블록 삼성한울아파트 110-1064

**【국적】**

KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

장성구 (인) 대리인

김원준 (인)

**【수수료】****【기본출원료】**

18 면 29,000 원

**【가산출원료】**

0 면 0 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

5 항 269,000 원

**【합계】**

298,000 원

**【감면사유】**

학교

**【감면후 수수료】**

149,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통 2. 고등교육법 제2조에 의한 학교임을 증명하는 서류\_1통

**【요약서】****【요약】**

최근 사용자들이 요구하는 데이터량이 증가함에 따라 이를 수용할 수 있는 통신 시스템이 요구되어지고 있다. 이를 만족시키기 위해 광섬유를 이용한 초고속 광통신시스템 기술이 도입되어 매우 빠른 속도로 발전해 나아가고 있다. 광통신 시스템의 송수신장치에서는 더 많은 데이터량을 처리하기 위하여 더 넓은 대역폭을 가지는 증폭기 회로가 필수적으로 요구된다. 광대역폭을 만족시키는 증폭기의 기술 개발에는 일차적으로 초고주파수대역에서도 동작하는 능동소자의 개발이 우선적으로 요구되나 이와 같은 초고속 능동소자의 개발은 많은 시간과 비용이 소요되므로 회로 설계자는 개발된 소자를 이용하여 광대역폭을 만족시키는 증폭기회로를 설계하는데 초점을 맞추고 있다. 이러한 노력으로 인덕터나 캐패시터를 이용하여 대역폭을 향상시키는 방법들이 발표되고 있다. 그러나 이 방법들을 구현하기 위해서는 넓은 칩 면적이 필요하며 또한 자기 공진 주파수(Self Resonant Frequency)와 Q 값으로 인해 초고주파에서 동작하는 회로에서는 구현할 수가 없다.

본 발명은 세계적 동향에 발맞추어, 주어진 능동소자의 성능을 효율적으로 사용하여 증폭기의 대역폭을 향상시키고자 고안되었으며 기존에 발표되었던 대역폭 확장 기술에 비해 훨씬 큰 대역폭 증가를 얻을 수 있다. 이와 같은 대역폭 향상 기술은 점점 더 높아져만 가는 초고속 통신 회로에 적용될 수 있다.

**【대표도】**

도 4

**【명세서】****【발명의 명칭】**

대역폭 향상을 위한 소오스 폴로워 구조의 전치 증폭기{SOURCE FOLLOWER TYPE  
PREAMPLIFIER FOR IMPROVING BANDWIDTH}

**【도면의 간단한 설명】**

도 1은 종래 공통 소오스 구조의 전치 증폭기를 나타낸 회로 구성도,

도 2는 종래 기술에 의한 셉트 인덕티브 피킹 구조의 전치 증폭기를 나타낸 회로  
구성도,

도 3은 종래 기술에 의한 캐패시티브 피킹 구조의 전치 증폭기를 나타낸 회로 구성  
도,

도 4는 본 발명에 따른 대역폭 향상을 위한 소오스 폴로워 구조의 전치 증폭기를  
나타낸 회로 구성도,

도 5는 종래 기술에 의한 공통 소오스 구조의 전치 증폭기에서 고주파 모델로 나타  
낸 등가 회로도,

도 6a 및 도 6b는 본 발명에 따른 소오스 폴로워 구조의 전치 증폭기에서 고주파  
등가 모델을 나타낸 회로도들,

도 7은 본 발명의 소오스 폴로워 전치 증폭기와 종래 공통 소오스 전치 증폭기의  
대역폭을 비교 도시한 그래프,

도 8은 본 발명의 소오스 폴로워 전치 증폭기와 종래 셉트 인덕티브 피킹 전치 증  
폭기 및 캐패시티브 피킹 전치 증폭기의 대역폭을 비교 도시한 그래프.

## &lt;도면의 주요부분에 대한 부호의 설명&gt;

100 : 입력 트랜지스터                      110 : 제 1증폭용 트랜지스터  
 116 : 제 1버퍼용 트랜지스터            120 : 제 2증폭용 트랜지스터  
 126 : 제 2버퍼용 트랜지스터

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13>        본 발명은 광통신 시스템의 전치 증폭기에 관한 것으로서, 특히 수동 소자를 추가 사용하지 않고서도 전치 증폭기의 대역폭을 향상시킬 수 있는 소오스 폴로워 구조의 전치 증폭기에 관한 것이다.

<14>        도 1은 종래 공통 소오스 구조의 전치 증폭기를 나타낸 회로 구성도이다. 도 1을 참조하면, 종래 공통 소오스 구조의 전치 증폭기는 입력단(in)에 게이트가 연결되며 드레인에 전원(16)이 공급되며 소오스에 접지가 연결된 제 1증폭용 트랜지스터(10)와, 제 1증폭용 트랜지스터(10)의 드레인에 게이트가 연결되며 소오스에 접지가 연결된 제 1버퍼용 트랜지스터(20)가 구비되어 있다. 그리고 입력단(in)에 저항(18)과 제 1버퍼용 트랜지스터(20)의 소오스의 공통 노드를 통해 게이트가 연결되며 드레인에 전원(16)이 공급되며 소오스에 접지가 연결된 제 2증폭용 트랜지스터(24)와, 제 2증폭용 트랜지스터(24)의 드레인에 게이트가 연결되며 소오스에 출력단(out)이 연결되면서 접지가 연결된 제 2버퍼용 트랜지스터(30)가 구비되어 있다. 여기서 제 1증폭용 트랜지스터(10)의 드레인과 소오스에는 각각 저항(12,

14)을 통해 전원(16)과 접지가 연결되어 있다. 제 1버퍼용 트랜지스터(20)의 드레인에는 전원(16)이 공급되며 소오스에는 저항(22)을 통해 접지에 연결된다. 제 2증폭용 트랜지스터(24)의 드레인과 소오스에 각각 저항(26, 28)을 통해 전원(16) 및 접지가 연결되어 있다. 그리고 제 2버퍼용 트랜지스터(30)의 드레인에는 전원(16)이 공급되며 소오스에는 저항(32)을 통해 접지에 연결된다.

<15> 이와 같이 구성된 공통 소오스 구조의 전치 증폭기는 4단의 트랜지스터(10, 20, 24, 30)들을 통해 입력 단자(in)의 광전류 신호를 증폭하고 출력 단자(out)에서 전압신호를 출력한다. 즉 제 1증폭용 트랜지스터(10)에서 입력 신호를 1차로 증폭하고 이를 제 1버퍼용 트랜지스터(20)에서 버퍼용하여 전달하고 제 2증폭용 트랜지스터(24)에서 2차로 증폭한 후에 피드백된 입력 신호에 의해 구동되는 제 2버퍼용 트랜지스터(40)를 통해 증폭된 신호를 출력 단자(out)로 출력한다.

<16> 하지만, 이러한 기본적인 공통 소오스 구조의 전치 증폭기는 광통신 시스템에서 요구하는 대역폭을 증가시키는데 한계가 있었다. 이를 위해 제안된 것이 제 1또는 제 2 증폭용 트랜지스터의 드레인에 인덕터를 추가 연결한 션트 인덕티브 피킹(shunt inductive peaking) 회로와 제 1버퍼용 트랜지스터의 소오스에 캐패시터를 추가 연결한 캐패시티브 피킹(capacitive peaking) 회로를 사용하여 광수신장치의 대역폭을 확장하였다.

<17> 도 2는 종래 기술에 의한 션트 인덕티브 피킹 구조의 전치 증폭기를 나타낸 회로 구성도이다. 도 2를 참조하면, 종래 션트 인덕티브 피킹 구조의 전치 증폭기는 입력단(in)은 게이트에 연결되며 드레인에 저항(42)과 인덕터(44)를 통해

전원(46)이 공급되며 소오스에 저항(48)을 통해 접지가 연결된 제 1증폭용 트랜지스터(40)가 있다. 제 1증폭용 트랜지스터(40)의 드레인과 제 1버퍼용 트랜지스터(52)의 게이트가 연결되며 드레인에 전원(46)이 공급되고 소오스의 저항(54)을 통해 접지가 연결된다. 그리고 피드백 저항(50)을 통해 제 1증폭용 트랜지스터(40)의 게이트와 제 1버퍼용 트랜지스터(52)의 소오스가 연결된다. 셋째 단은 드레인에 저항(60)과 인덕터(62)를 통해 전원(46)이 공급되며 소오스에 저항(58)을 통해 접지가 연결되며, 출력단은 제 2증폭용 트랜지스터(56)의 드레인과 제 2버퍼용 트랜지스터(64)의 게이트가 연결되며 소오스에 출력단(out)이 연결되면서 저항(66)과 접지가 연결된다.

<18> 이와 같이 구성된 셉트 인덕티브 피킹 구조의 전치 증폭기는 주파수가 증가함에 따라 추가된 인덕터(44, 62)의 임피던스가 증가되어 고주파에서의 이득을 높여 결과적으로 전치 증폭기의 대역폭이 증가된다. 또한 제 1 및 제 2증폭용 트랜지스터(40, 56)의 드레인에 연결된 인덕터(44, 62)와 주변 소자의 기생 커패시턴스에 의해 LC 공진 현상이 발생되어 대역폭이 확장된다.

<19> 하지만, 종래 기술에 의한 셉트 인덕티브 피킹 구조의 전치 증폭기는 자기 공진 주파수와 Q값에 의해 10Gbps~40Gbps 또는 그 이상의 대용량을 전송시키는 광통신 시스템에서의 사용하는데 제약이 따르게 된다. 또한 인덕터의 큰 면적 때문에 점차 작은 칩 면적을 지향하는 광통신 시스템의 추세에 역행하게 된다.

<20> 도 3은 종래 기술에 의한 캐패시티브 피킹 구조의 전치 증폭기를 나타낸 회로 구성도이다. 도 3을 참조하면 종래 캐패시티브 피킹 구조의 전치 증폭기 전체



적인 회로의 구성은 종래의 공통 소오스 구조의 회로(도 2)와 같으며, 피킹용 캐패시터(84)가 첨가된다. 입력단(in)은 게이트에 연결되며 드레인에 저항(72)를 통해 전원(74)이 공급되며 소오스에 저항(76)을 통해 접지가 연결된 제 1증폭용 트랜지스터(70)가 있다. 제 1증폭용 트랜지스터(70)의 드레인과 제 1버퍼용 트랜지스터(80)의 게이트가 연결되며 드레인에 전원(74)이 공급되고 소오스의 저항(82)을 통해 접지가 연결된다. 그리고 피드백 저항(78)을 통해 제 1증폭용 트랜지스터(70)의 게이트와 제 1버퍼용 트랜지스터(80)의 소오스가 연결된다. 이 때 둘째 단의 제 2버퍼용 트랜지스터(80)의 소오스에 병렬로 피킹용 캐패시터(84)를 첨가함으로써 높은 주파수에서 폴을 하나 더 생성시켜 피킹이 일어나도록 한다. 셋째 단은 드레인에 저항(88)을 통해 전원(74)이 공급되며 소오스에 저항(90)을 통해 접지가 연결된다. 출력단은 제 2증폭용 트랜지스터(86)의 드레인과 제 2버퍼용 트랜지스터(92)의 게이트가 연결되며 소오스에 출력단(out)이 연결되면서 저항(66)과 접지가 연결된다.

<21>       상기와 같이 구성된 종래 캐패시티브 피킹 구조의 전치 증폭기는 추가된 피킹용 캐패시터(84)에 의해 종래의 공통 소오스 구조의 전치 증폭기(도 1)에서 보이는 폴(pole)보다 훨씬 높은 주파수에 다른 폴을 하나 더 생성시켜 대역폭을 확장시킨다.

<22>       하지만 종래 기술에 의한 캐패시티브 피킹 구조의 전치 증폭기는 캐패시턴스가 공정 변화에 매우 민감하므로 원하지 않는 큰 피킹 현상이 일어날 수도 있으며 이로 인해 출력 신호의 대역폭이 원하는 값만큼 향상되지 못하게 되는 경우도 많다.

**【발명이 이루고자 하는 기술적 과제】**

<23>       본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 회로의 입력단을 소오스 폴로워(source follower) 구조로 함으로써 입력단의 소오스 저항값을 감소

시켜 고주파 특성을 향상시킬 수 있으며 인덕터 또는 캐패시터등의 추가 수동 소자를 사용하지 않고서도 대역폭을 넓게 향상시킬 수 있는 대역폭 향상을 위한 소오스 폴로워 구조의 전치증폭기를 제공하는데 있다.

<24>       상기 목적을 달성하기 위하여 본 발명은 광수신장치내 입력되는 전기적인 신호를 소정 크기로 증폭하여 출력하는 전치 증폭기에 있어서, 소오스 폴로워 구조를 갖으며 광수신장치의 입력 신호를 전달하는 입력 트랜지스터와, 입력 트랜지스터의 소오스에 게이트가 연결되며 드레인과 입력 트랜지스터의 게이트가 피드백 연결되어 입력 트랜지스터에서 증폭된 신호를 소정 크기로 증폭하는 증폭용 트랜지스터와, 증폭용 트랜지스터의 드레인에 게이트가 연결되어 증폭된 신호를 전달하는 버퍼용 트랜지스터를 구비한다.

<25>       본 발명의 소오스 폴로워 구조의 전치 증폭기에 따르면, 입력단에 추가된 트랜지스터를 소오스 폴로워 구조로 하고, 나머지 증폭 및 버퍼 트랜지스터는 공통 소오스 구조를 갖는 전치 증폭기를 구성함으로써 소오스 폴로워 구조의 입력 트랜지스터에 의해 입력단의 소오스 저항값이 감소되어 주파수 대역폭을 넓혀 고주파 특성을 향상시킬 수 있다.

#### 【발명의 구성 및 작용】

<26>       이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다.

<27>       도 4는 본 발명에 따른 대역폭 향상을 위한 소오스 폴로워 구조의 전치 증폭기를 나타낸 회로 구성도이다. 도 4를 참조하면, 본 발명의 일 실시예에 따른 소오스 폴로워 구조의 전치 증폭기는 다음과 같이 구성된다.

- <28>        입력단은 공통 소오스 구조의 전치 증폭기와는 달리 소오스 폴로워 구조를 갖는 트랜지스터(100)로 구성하고 그 뒷단은 전치 증폭기에 필요한 제 1, 제 2 증폭용 트랜지스터(110, 120)와 제 1, 제 2 버퍼용 트랜지스터(116, 126)를 일반 공통 소오스 구조로 구성한다.
- <29>        첫째 단인 입력 트랜지스터(100)는 입력 소오스 저항( $R_s$ )을 감소시키기 위해 소오스 폴로워 구조로 구성되며 입력 바이어스를 맞추기 위해 드레인과 소오스에 각각 저항(102, 106)이 연결된다. 그리고 입력 트랜지스터(100)의 드레인에는 전원(104)이 공급되며 소오스에 접지가 공급된다.
- <30>        둘째 단인 제 1증폭용 트랜지스터(110)의 게이트는 소오스 폴로워 구조를 갖는 입력 트랜지스터(100)의 소오스와 연결되고 소오스측에 저항(114)을 통해 접지, 드레인측에 저항(112)을 통해 전원(104)이 공급된다. 또한 피드백 저항(108)은 DC 바이어스를 맞추기 위해 공통 소오스 구조의 전치 증폭기와는 달리 제 1증폭용 트랜지스터(110)의 드레인과 입력 트랜지스터(100)의 게이트 사이에 연결된다.
- <31>        셋째 단의 제 1버퍼용 트랜지스터(116)는 전원(104) 단자에 드레인이 연결되고 소오스측 저항(118)을 통해 접지가 연결된다.
- <32>        넷째 단의 제 2증폭용 트랜지스터(120)는 더 큰 신호의 증폭을 위해 사용되는 것으로서 드레인측 저항(122)을 통해 전원(104) 공급되고 소오스측 저항(124)을 통해 접지가 연결된다.
- <33>        출력 단인 제 2버퍼용 트랜지스터(126)는 드레인에 전원(104)이 공급되며 소오스측 저항(128)을 통해 접지가 연결되고, 소오스에서 출력(out) 신호를 내보낸다.

<34>       상기와 같이 구성된 본 발명의 전치 증폭기가 소오스 폴로워 구조의 입력 트랜지스터(100)에 의해 입력 주파수 특성이 향상됨을 도 5, 도 6a 및 도 6b를 참조하여 설명하기로 한다.

<35>       도 5에 도시된 바와 같이, 공통 소오스 구조를 갖는 전치 증폭기의 증폭용 트랜지스터의 소오스에서 게이트를 바라다 볼 때 다음 수학식 1과 같은 주파수 특성을 갖는다.

<36>

$$\omega_{in} = \frac{1}{R_s[C_{GS} + (1 + g_m R_D)C_{GD}]}$$

【수학식 1】

<37>       여기서,  $\omega_{in}$ 은 입력 주파수이며  $R_s$ 는 소오스 저항이며  $C_{GS}$ ,  $C_{GD}$  및  $C_{DB}$ 는 회로의 기생 커패시턴스이며  $R_D$ 는 회로의 저항값이다.

<38>       수학식 1의 입력 주파수( $\omega_{in}$ )는 공통 소오스 구조의 증폭용 트랜지스터에서 소오스 저항( $R_s$ )값을 감소시킬 때 주파수 특성이 향상됨을 알 수 있다.

<39>       한편 도 6a에 도시된 본 발명의 소오스 폴로워 구조의 전치 증폭기를 출력 단에서 보는 임피던스로 등가 모델로 구현하면 도 6b의 회로와 같다.  $C_L$ 은 증폭 트랜지스터를 통해 출력단에 보여지는 전체 셉트 커패시턴스이다.

<40>       본 발명의 소오스 폴로워 구조의 전치 증폭기에 있어서, 출력단에서 보는 임피던스( $Z_{out}$ )는 다음 수학식 2와 같다.

<41>

$$Z_{out} = \frac{sR_s C_{GS} + 1}{g_m + sC_{GS}}$$

【수학식 2】

- <42> 여기서,  $R_s$ 는 소오스 저항값을 나타내고,  $C_{GS}$ 는 입력단에서 보이는 게이트-소오스 간에 생기는 캐패시턴스를 나타내며,  $g_m$ 은 전달 컨덕턴스(transconductance)를 나타낸다
- <43> 수학적 2에서, 저주파수 범위의 출력 임피던스는  $Z_{out} \approx 1/g_m$  이고, 고주파 출력 임피던스는  $Z_{out} \approx R_s$  이다.
- <44> 그러므로, 본 발명은 전치 증폭기에서 고주파 출력 임피던스를 줄이기 위하여 입력단에 소오스 폴로워 구조를 갖는 트랜지스터(100)를 추가하고 상기 트랜지스터(100)의 소오스와 공통 소오스 구조의 증폭용 트랜지스터(110)의 게이트를 연결함으로써 입력단의 소오스 저항( $R_s$ )을 감소시킬 수 있다.
- <45> 한편, 본 발명에서는 게이트/소오스/드레인을 갖는 MOSFET를 사용한 전치 증폭기에 대해서만 언급하였지만, 베이스/콜렉터/에미터를 갖는 BJT(Bipolar Junction Transistor)를 사용한 에미터 폴로워(emitter follower) 구조로 전치 증폭기를 구성하여도 동일한 결과를 얻을 수 있다.
- <46> 도 7은 본 발명의 소오스 폴로워 전치 증폭기와 종래 공통 소오스 전치 증폭기의 대역폭을 비교 도시한 그래프이다.
- <47> 도 7을 참조하면, 종래 공통 소오스 구조의 전치 증폭기가 (ㄴ)과 같이 57dBΩ의 이득과 2.45GHz의 대역폭을 얻는 반면에, 본 발명의 소오스 폴로워 구조의 전치 증폭기는 (ㄷ)과 같이 57dBΩ의 이득과 4.5GHz의 대역폭을 얻는다. 그러므로 본원 발명은 종래의 전치 증폭기보다 2.05GHz 정도 대역폭이 증가됨을 알 수 있다.

<48> 따라서 본 발명의 소오스 폴로워 구조를 갖는 전치 증폭기에서 도 4의 피드백 저항(108)의 값을 더 크게 조정하면, 종래 공통 소오스 구조의 전치 증폭기에서 구하는 대역폭과 동일한 특성을 보이며 이와 동시에 훨씬 더 큰 이득을 얻을 수 있다. 즉 종래의 공통 소오스 구조의 전치 증폭기에 비해 본 발명의 소오스 폴로워 구조의 전치 증폭기는 더 큰 이득-대역폭 곱을 얻을 수 있다.

<49> 도 8은 본 발명의 소오스 폴로워 전치 증폭기와 종래 셉트 인덕티브 피킹 전치 증폭기 및 캐패시티브 피킹 전치 증폭기의 대역폭을 비교 도시한 그래프이다.

<50> 도 8을 참조하면, 그래프에서 3가지 전치 증폭기 모두 57dB $\Omega$ 의 전달임피던스 이득을 만족한다. 종래 셉트 인덕티브 피킹 구조의 전치 증폭기의 경우(ㄷ) 2.85GHz의 대역폭, 종래 캐패시티브 피킹 전치 증폭기의 경우(ㄹ) 3.25GHz의 대역폭이 구해지는 반면에, 본 발명의 소오스 폴로워 구조를 갖는 전치 증폭기의 경우(ㄱ) 4.5GHz의 대역폭을 구할 수 있다. 그러므로, 본 발명의 소오스 폴로워 구조의 전치 증폭기는 셉트 인덕티브 피킹 구조에 비해 약 1.65GHz, 캐패시티브 피킹 구조에 비해 약 1.25GHz의 대역폭 증가를 보였다.

#### 【발명의 효과】

<51> 이상 설명한 바와 같이, 본 발명은 능동 소자인 트랜지스터와 주파수에 무관한 저항만을 이용하여 소오스 폴로워 구조의 전치 증폭기를 구성할 수 있으므로 종래 공통 소오스 구조, 인덕티브 피킹 또는 캐패시티브 피킹 구조의 전치 증폭기와는 달리 더 높은 주파수에서 동작해야하는 초고주파 회로에서도 사용이 가능하다는 장점을 가지고 있다. 그러므로 본 발명은 인덕터 또는 캐패시터 등의 추가 수동 소자를 사용하지 않고서도 대

역폭을 넓게 향상시킬 수 있기 때문에 10Gbps 내지 40Gbps 또는 그 이상의 대용량을 수용하는 초고속 광통신 시스템에서 유용하게 적용할 수 있다.

<52> 또한 본 발명은 인덕터 또는 캐패시터등의 수동 소자를 사용하지 않고 트랜지스터와 저항의 능동 소자를 사용하기 때문에 광대역폭을 구현하면서 종래 인덕티브 피킹 또는 캐패시티브 피킹 전치 증폭기보다 작은 면적으로 모듈 구현이 가능하다.

<53> 한편, 본 발명은 상술한 실시예에 국한되는 것이 아니라 후술되는 청구범위에 기재된 본 발명의 기술적 사상과 범주내에서 당업자에 의해 여러 가지 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

광수신장치내 입력되는 전기적인 신호를 소정 크기로 증폭하여 출력하는 전치 증폭기에 있어서,

소오스 폴로워 구조를 갖으며 상기 광수신장치의 입력 신호를 전달하는 입력 트랜지스터;

상기 입력 트랜지스터의 소오스에 게이트가 연결되며 상기 드레인과 상기 입력 트랜지스터의 게이트가 피드백 연결되어 상기 입력 트랜지스터에서 증폭된 신호를 소정 크기로 증폭하는 증폭용 트랜지스터; 및

상기 증폭용 트랜지스터의 드레인에 게이트가 연결되어 상기 증폭된 신호를 전달하는 버퍼용 트랜지스터를 구비한 것을 특징으로 하는 대역폭 향상을 위한 소오스 폴로워 구조의 전치 증폭기.

**【청구항 2】**

제 1항에 있어서, 상기 입력 트랜지스터 및 증폭용 트랜지스터는 각각 드레인에 저항을 통해 전원이 공급되며 소오스에 저항을 통해 접지가 연결되는 것을 특징으로 하는 대역폭 향상을 위한 소오스 폴로워 구조의 전치 증폭기.

**【청구항 3】**

제 1항에 있어서, 상기 증폭용 트랜지스터의 드레인과 입력 트랜지스터의 게이트가 저항을 통해 피드백 연결되는 것을 특징으로 하는 대역폭 향상을 위한 소오스 폴로워 구조의 전치 증폭기.



**【청구항 4】**

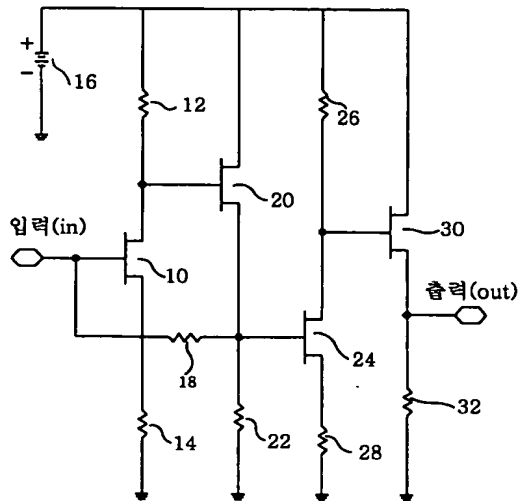
제 1항에 있어서, 상기 버퍼용 트랜지스터의 소오스에 게이트가 연결되며 상기 증폭용 트랜지스터의 신호를 소정 크기로 증폭하여 출력하는 추가 증폭용 트랜지스터와, 상기 추가 증폭용 트랜지스터의 드레인에 게이트가 연결되어 증폭된 신호를 출력하는 추가 버퍼용 트랜지스터를 적어도 한쌍 이상 더 포함한 것을 특징으로 하는 대역폭 향상을 위한 소오스 폴로워 구조의 전치 증폭기.

**【청구항 5】**

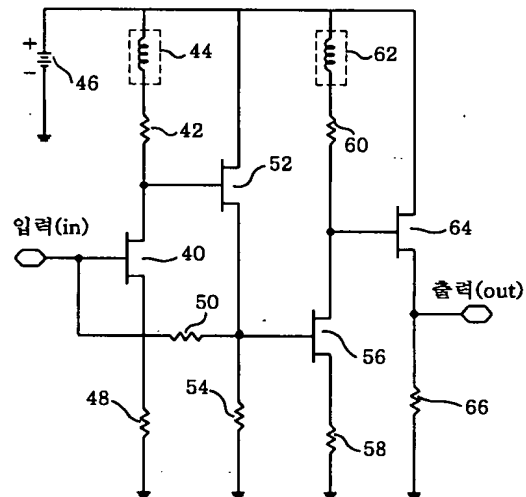
제 4항에 있어서, 상기 추가 증폭용 트랜지스터는 드레인에 저항을 통해 전원이 공급되며 소오스에 저항을 통해 접지가 연결되고, 상기 추가 버퍼용 트랜지스터는 드레인에 전원이 공급되며 소오스에 저항을 통해 접지가 연결되는 것을 특징으로 하는 대역폭 향상을 위한 소오스 폴로워 구조의 전치 증폭기.

## 【도면】

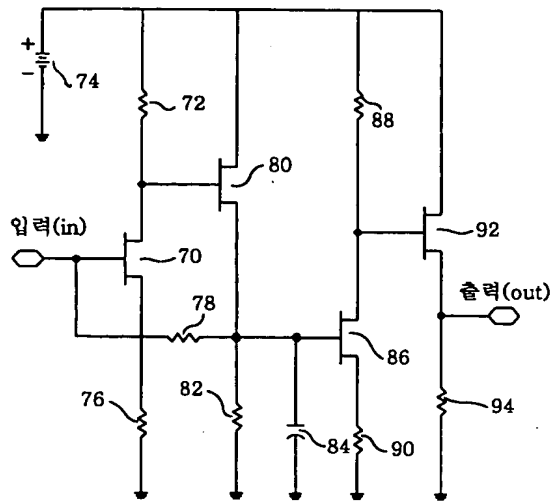
【도 1】



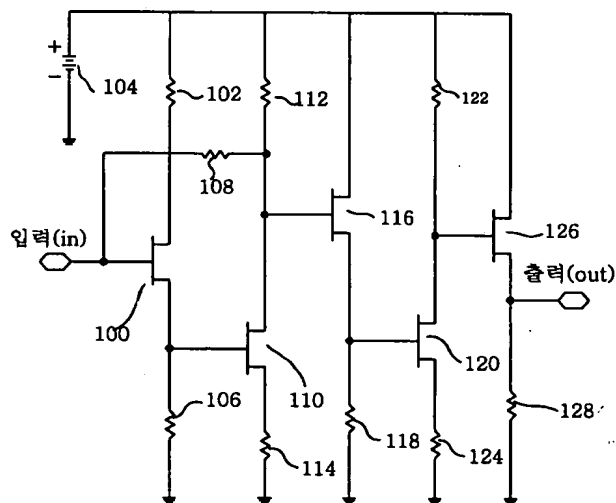
【도 2】



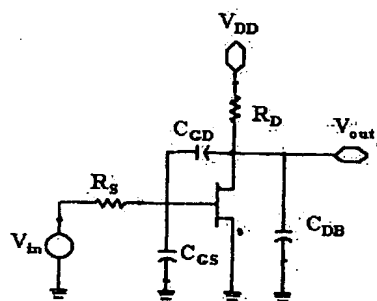
【도 3】



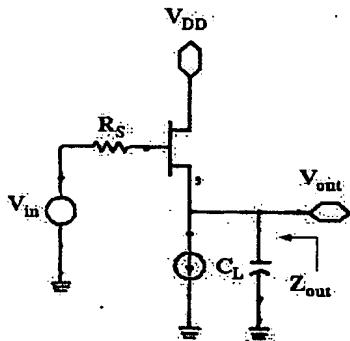
【도 4】



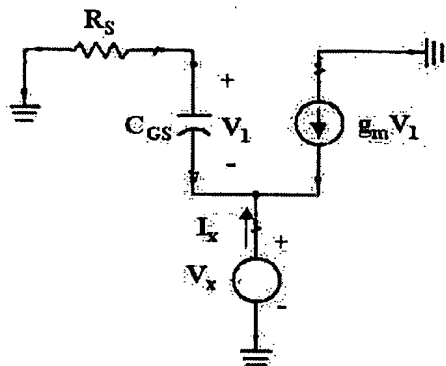
【도 5】



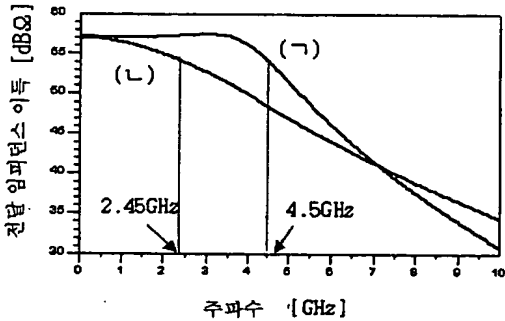
【도 6a】



【도 6b】



【도 7】



【도 8】

